

A MicroBlaze processzor

- **32 bites általános célú RISC processzor**
 - Alkalmas önálló feladatok végrehajtására
 - Kiegészítő egység a nagyteljesítményű PowerPC-s rendszerekben → egységes interfész felület
- **Lágy processzor mag**
 - Az FPGA programozható erőforrásaiból épül fel
- **Rugalmas rendszerkialakíthatóság**
 - Minimális verzió lokális belső memóriával
 - Nagy rendszer külső memóriával, sok perifériával

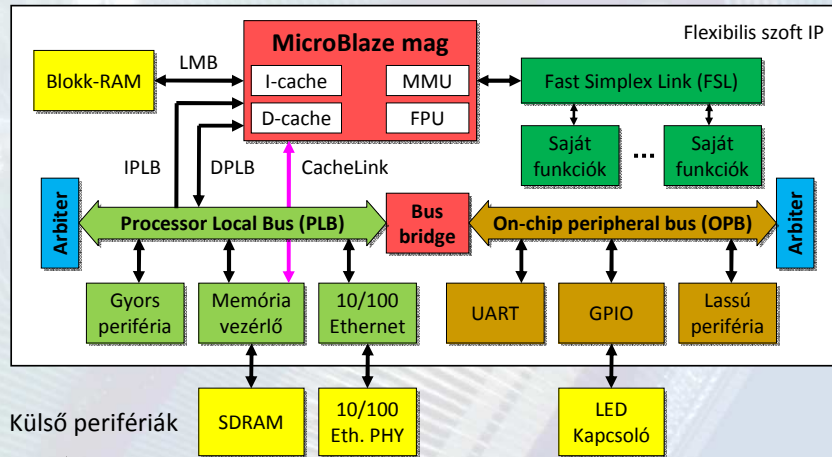
A MicroBlaze processzor

A MicroBlaze processzor jellemzői:

- **Harvard architektúra**
 - Szétválasztott utasítás és adat oldali busz interfész
- **32 bites címbusz és adatbusz**
- **32 általános célú regiszter**
- **Ortogonalis utasításkészlet**
 - 32 bites utasítások
 - 3 operandus, 2 címzési mód
- **Egyszeres kibocsátású pipeline**
 - Kisebb erőforrás igényű változat: 3 fokozatú pipeline
 - Nagyteljesítményű változat: 5 fokozatú pipeline
- **Nagymértékben konfigurálható**

A MicroBlaze processzor

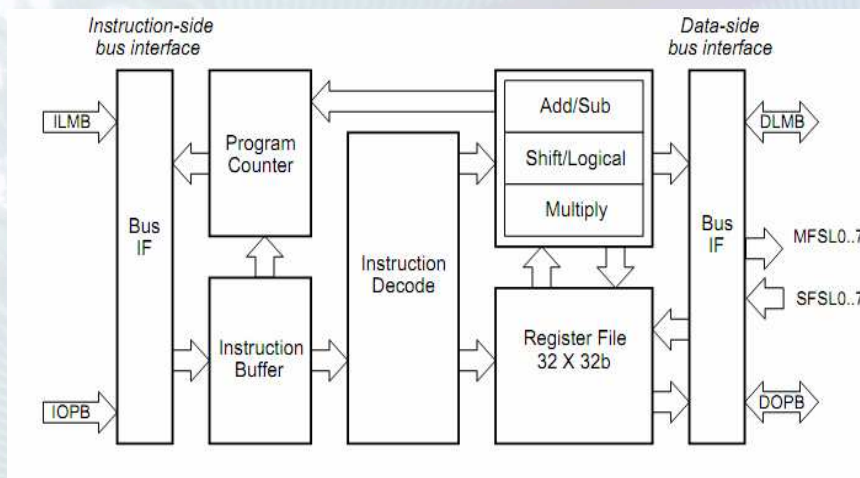
MicroBlaze alapú beágyazott rendszerek



BME-MIT

FPGA labor

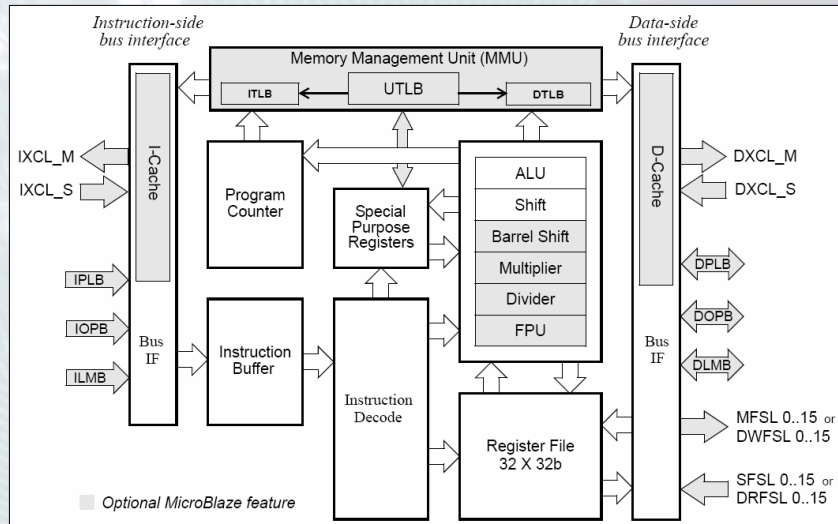
Microblaze v6.0



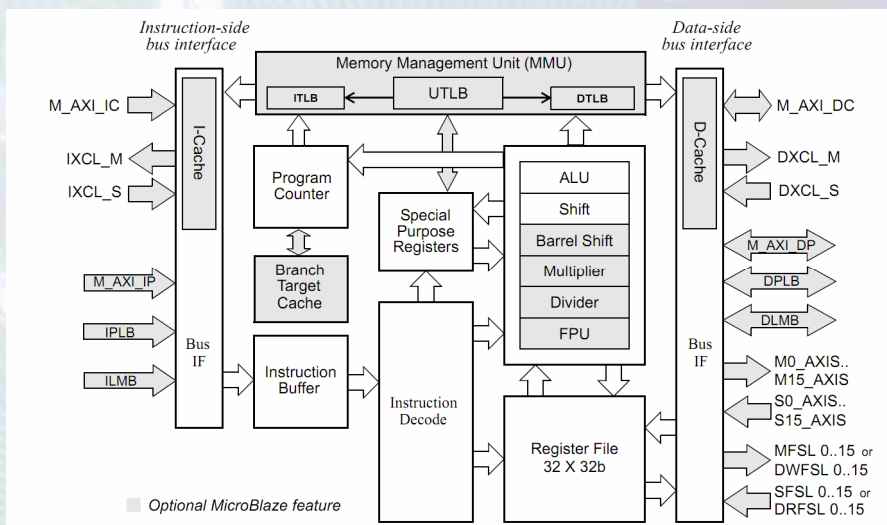
BME-MIT

FPGA labor

Microblaze v7.0



Microblaze v8.0



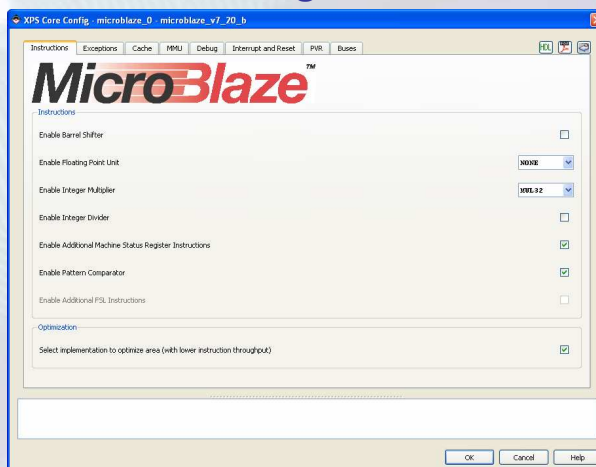
A MicroBlaze processzor

A MicroBlaze főbb konfigurációs beállításai:

- Utasítás és adat oldali busz interfészek
 - Processor Local Bus (PLB), On-chip Peripheral Bus (OPB)
 - Local Memory Bus (LMB), Fast Simplex Link (FSL), CacheLink
 - **AXI interfész**
- Utasítás és adat cache
- MMU (Linux operációs rendszer futtatásához)
- Opcionális utasítások
 - Szorzás (hardveres szorzó), osztás (hardveres osztó)
 - Barrel shifter, pattern compare
 - Lebegőpontos műveletek támogatása (FPU)
- Hardveres debug modul
- Hardveres kivételek támogatása
- Pipeline fokozatok száma

A MicroBlaze processzor

A MicroBlaze főbb konfigurációs beállításai:



A MicroBlaze processzor

A PowerPC és a MicroBlaze processzorok az IBM CoreConnect buszrendszert használják:

- **Az IBM saját fejlesztésű, belső buszrendszere**
- **A specifikáció nyilvános, licenzdíj nélkül használható**
- **Teljes, de egyúttal komplex megoldás**
- **Hierarchikus buszrendszer**
 - PLB: Processor Local Bus
 - OPB: On-chip Peripheral Bus
 - DCR: Device Control Register bus
- **Egy kissé a szokásos teljes számítógépes struktúrát modellezi**

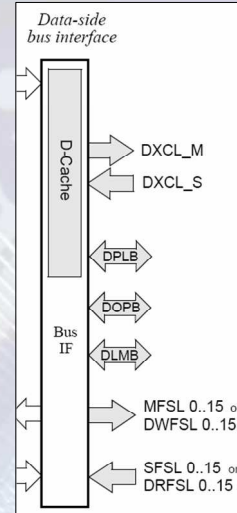
A MicroBlaze processzor

- **Processor Local Bus (PLB)**
 - A processzor, a memóriák és a nagy sebességű blokkos átvitelű perifériák összekapcsolásához
- **On-chip Peripheral Bus (OPB)**
 - A szokásos, kisebb teljesítményű perifériákhoz
 - Megfelelő sávszélesség, blokkos adatátvitel is
 - Multi-master üzemmód lehetséges
 - Nagy címtartomány, egyszerű struktúra
- **Device Control Register bus (DCR)**
 - Speciális vezérlőregiszter hozzáférés
 - A többi busz forgalmát így ezzel nem zavarjuk

A MicroBlaze processzor

A MicroBlaze processzor busz interfészei:

- Külön utasítás és adat oldali busz interfészek
- Processor Local Bus (PLB)
 - Az EDK 9.2 verziótól kezdve az OPB helyett
 - A gyári perifériák is a PLB-re kapcsolódnak
- On-chip Peripheral Bus (OPB)
 - A kompatibilitás megőrzése miatt
- Local Memory Bus (LMB)
 - A belső Blokk-RAM-ok illesztéséhez
- Fast Simplex Link (FSL)
 - FIFO alapú interfész saját funkciók illesztéséhez
 - Processzorok közötti kommunikáció
- Xilinx CacheLink (XCL)
 - Cache és memóriaverérlő közötti kommunikáció
 - Lényegében FSL + egyedi protokoll



Memória interfészek

- Local Memory Bus (LMB)
- Advanced eXtensible Interface (AXI4) vagy Processor Local Bus (PLB)
- Advanced eXtensible Interface (AXI4) vagy Xilinx CacheLink (XCL)

A MicroBlaze processzor

A MicroBlaze processzor adattípusai:

- Bájtt (8 bit), félszó (16 bit) és szó (32 bit) adattípusok
- Big-Endian: MSB a kisebb, LSB a nagyobb bájt címen
- Bit fordított: MSb sorszáma mindig 0

Table 1-2: Word Data Type

Byte address	n	n+1	n+2	n+3
Byte label	0	1	2	3
Byte significance	MSByte			LSByte
Bit label	0			31
Bit significance	MSBit		LSBit	

Table 1-3: Half Word Data Type

Byte address	n	n+1	
Byte label	0	1	
Byte significance	MSByte	LSByte	
Bit label	0		15
Bit significance	MSBit	LSBit	

Table 1-4: Byte Data Type

Byte address	n	
Bit label	0	7
Bit significance	MSBit	LSBit

Endian

- C_ENDIANNESS
 - little endian - AXI4
 - big endian - PLB

Table 1-2: Word Data Type

Big-Endian Byte Address	n	n+1	n+2	n+3
Big-Endian Byte Significance	MSByte			LSByte
Big-Endian Byte Order	n	n+1	n+2	n+3
Big-Endian Byte-Reversed Order	n+3	n+2	n+1	n
Little-Endian Byte Address	n+3	n+2	n+1	n
Little-Endian Byte Significance	MSByte			LSByte
Little-Endian Byte Order	n+3	n+2	n+1	n
Little-Endian Byte-Reversed Order	n	n+1	n+2	n+3
Bit Label	0			31
Bit Significance	MSBit		LSBit	

Általános célú regiszterek

Bits	Name	Description	Reset Value
0:31	R0	Always has a value of zero. Anything written to R0 is discarded	0x00000000
0:31	R1 through R13	32-bit general purpose registers	-
0:31	R14	32-bit register used to store return addresses for interrupts.	-
0:31	R15	32-bit general purpose register. Recommended for storing return addresses for user vectors.	-
0:31	R16	32-bit register used to store return addresses for breaks.	-
0:31	R17	If MicroBlaze is configured to support hardware exceptions, this register is loaded with the address of the instruction following the instruction causing the HW exception, except for exceptions in delay slots that use BTR instead (see "Branch Target Register (BTR)"); if not, it is a general purpose register.	-
0:31	R18 through R31	R18 through R31 are 32-bit general purpose registers.	-

Speciális regiszterek

- **Program Counter**
- **Machine Status Register**
 - Cache enable / carry etc..
- **Exception status /address**
- **Floating point status register**
- **Stack Limit register**
- **MMU register**
- **Processor version register**

LMB

Local Memory Bus



EDK/DOC/usenglish/mb_ref_guide.pdf



A MicroBlaze processzor (LMB)

A Local Memory Bus (LMB):

- Szinkron busz a belső Blokk-RAM-ok nagysebességű eléréséhez
- Minimális számú vezérlőjel
- Egyszerű protokoll
- Megjegyzés: saját periféria is illeszthető az LMB-re



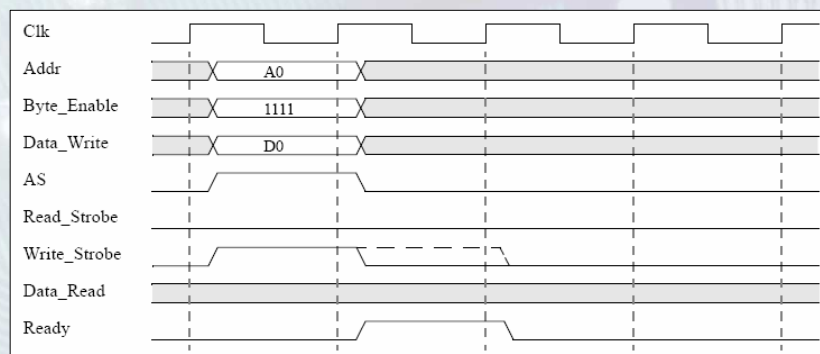
A MicroBlaze processzor (LMB)

A Local Memory Bus (LMB) vonalai:

Signal	Data Interface	Instruction Interface	Type	Description
Addr [0:31]	Data_Addr[0:31]	Instr_Addr[0:31]	O	Address bus
Byte_Enable [0:3]	Byte_Enable[0:3]	<i>not used</i>	O	Byte enables
Data_Write [0:31]	Data_Write[0:31]	<i>not used</i>	O	Write data bus
AS	D_AS	I_AS	O	Address strobe
Read_Strobe	Read_Strobe	IFetch	O	Read in progress
Write_Strobe	Write_Strobe	<i>not used</i>	O	Write in progress
Data_Read [0:31]	Data_Read[0:31]	Instr[0:31]	I	Read data bus
Ready	DReady	IReady	I	Ready for next transfer
Clk	Clk	Clk	I	Bus clock

A MicroBlaze processzor (LMB)

Az LMB elemi írási ciklusa:



A MicroBlaze processzor (LMB)

Az LMB elemi írási ciklusa: 2 órajel

•1. ciklus:

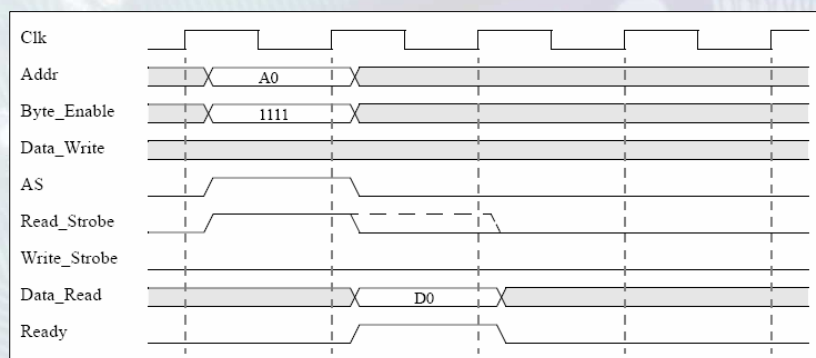
- Cím kiadása és érvényesítése az **AS** jellel
- Adat LMB-nél: bájt engedélyező jelek is (**Byte_Enable**)
- Adat kiadása és az írás jelzése a **Write_Strobe** jellel

•2. ciklus:

- A Blokk-RAM a **Clk** felfutó élére tárolja az adatot
- A **Ready** jellel jelezzük a művelet befejeződését
- A ciklus után a vezérlőjelek inaktívak lesznek

A MicroBlaze processzor (LMB)

Az LMB elemi olvasási ciklusa:



A MicroBlaze processzor (LMB)

Az LMB elemi olvasási ciklusa: 2 órajel

•1. ciklus:

- Cím kiadása és érvényesítése az **AS** jellel
- Adat LMB-nél: bájt engedélyező jelek is (**Byte_Enable**)
- Az olvasás jelzése a **Read_Strobe** jellel

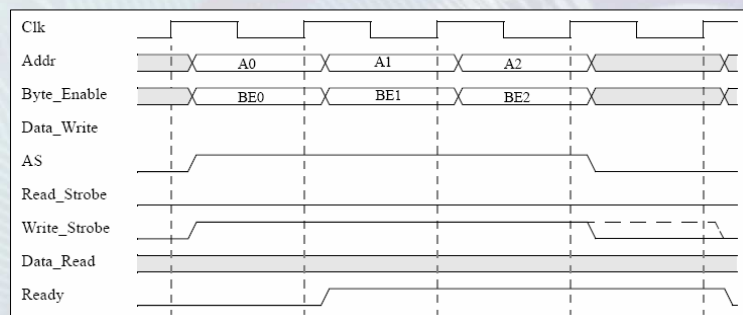
•2. ciklus:

- A Blokk-RAM a **Clk** felfutó élére mintavételezi a parancsot, majd kiadja az érvényes adatot
- A **Ready** jellel jelezzük a művelet befejeződését
- A ciklus után a vezérlőjelek inaktívak lesznek

A MicroBlaze processzor (LMB)

LMB többszörös írási hozzáférés:

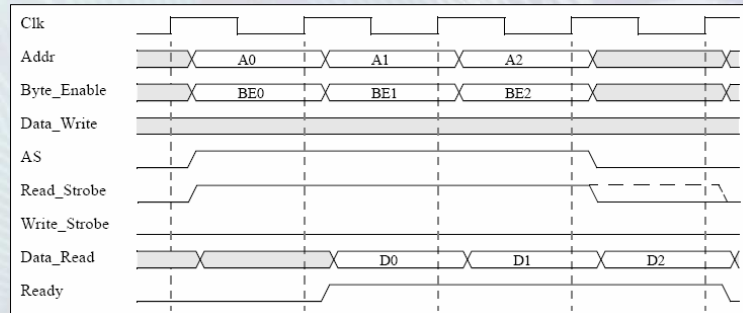
- Új adat minden ciklusban
- Az **AS**, a **Write_Strobe** és a **Ready** jelek folyamatosan aktívak
- A cím és a **Byte_Enable** minden ciklusban tetszőleges lehet



A MicroBlaze processzor (LMB)

LMB többszörös olvasási hozzáférés:

- Új adat minden ciklusban
- Az *AS*, a *Read_Strobe* és a *Ready* jelek folyamatosan aktívak
- A cím minden ciklusban új, tetszőleges lehet



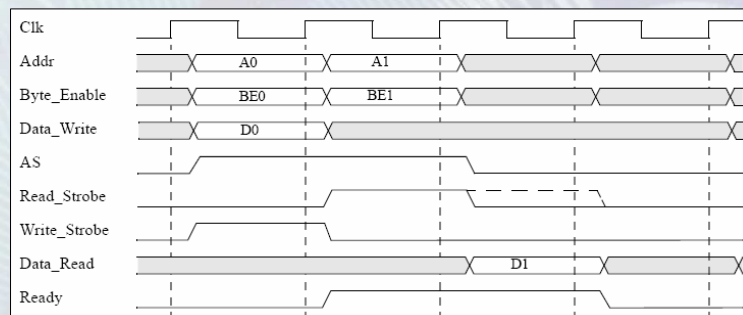
BME-MIT

FPGA labor

A MicroBlaze processzor (LMB)

LMB váltott írási-olvasási hozzáférés:

- Hasonló mint a többszörös írási vagy olvasási hozzáférés
- Írás esetén a *Write_Strobe* jel aktív
- Olvasás esetén a *Read_Strobe* jel aktív



BME-MIT

FPGA labor

A MicroBlaze processzor (LMB)

LMB bájt kezelés írásnál: nincs átrendezés

Address [30:31]	Byte_Enable [0:3]	Transfer Size	Write Data Bus Bytes			
			Byte0	Byte1	Byte2	Byte3
11	0001	byte				rD[24:31]
10	0010	byte			rD[24:31]	
01	0100	byte		rD[24:31]		
00	1000	byte	rD[24:31]			
10	0011	halfword			rD[16:23]	rD[24:31]
00	1100	halfword	rD[16:23]	rD[24:31]		
00	1111	word	rD[0:7]	rD[8:15]	rD[16:23]	rD[24:31]

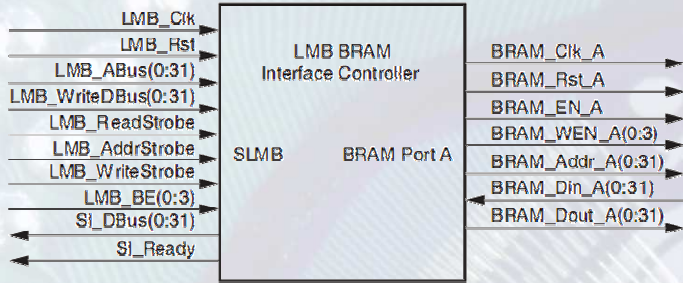
A MicroBlaze processzor (LMB)

LMB bájt kezelés olvasásnál:

- Jobbra rendezés (a MicroBlaze végzi el)
- Nem támogatott a szavasnál (32 bit) nagyobb átvitel (mert nincs dinamikus buszméret kezelés)

Address [30:31]	Byte_Enable [0:3]	Transfer Size	Register rD Data			
			rD[0:7]	rD[8:15]	rD[16:23]	rD[24:31]
11	0001	byte				Byte3
10	0010	byte				Byte2
01	0100	byte				Byte1
00	1000	byte				Byte0
10	0011	halfword			Byte2	Byte3
00	1100	halfword			Byte0	Byte1
00	1111	word	Byte0	Byte1	Byte2	Byte3

LMB BRAM IF. Controller



D5452_01_100708

LogiCORE™ Facts				
Core Specifics				
Supported Device Family	See EDK Supported Device Families .			
Resources Used	Slices	LUTs	FFs	Block RAMs
	N/A	6	2	0

Supported Memory Sizes (Bytes)	
Spartan-3, Spartan-3A, Spartan-3E, Virtex-II, Virtex-II Pro	8 kB, 16 kB, 32 kB, 64 kB
Virtex-4	8 kB, 16 kB, 32 kB, 64 kB, 128 kB
Virtex-5	8 kB, 16 kB, 32 kB, 64 kB, 128 kB, 256 kB

BME-MIT

FPGA labor

FSL

Fast Simplex Link

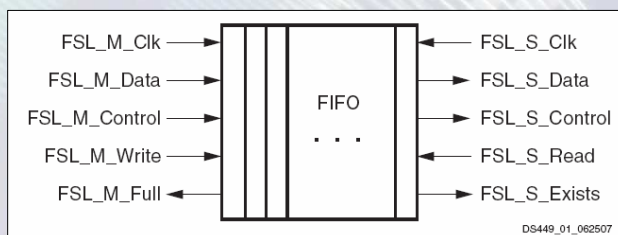
BME-MIT

FPGA labor

A MicroBlaze processzor (FSL)

Fast Simplex Link (FSL):

- FIFO alapú, egyirányú pont-pont kommunikációs csatorna
- Nagy sebességű adatátvitelt biztosít
- A master és a slave oldal órajele eltérő lehet (aszinkron FIFO)
- Dedikált MicroBlaze utasítások az FSL adatátvitelhez
- Felhasználási példák:
 - Saját funkció illesztése a processzorhoz („utasítás kiterjesztés”)
 - Processzorok közötti kommunikációs interfész



BME-MIT

FPGA labor

A MicroBlaze processzor (FSL)

Fast Simplex Link (FSL):

- Master interfész: a FIFO írásához
 - *FSL_M_Clk*: órajel
 - *FSL_M_Data*: 32 bites adat
 - *FSL_M_Control*: 1 bites adat (az adott protokoll definiálja)
 - *FSL_M_Write*: FIFO írás engedélyező jel
 - *FSL_M_Full*: FIFO tele jelzés
- Slave interfész: a FIFO olvasásához
 - *FSL_S_Clk*: órajel
 - *FSL_S_Data*: 32 bites adat
 - *FSL_S_Control*: 1 bites adat (az adott protokoll definiálja)
 - *FSL_S_Read*: FIFO olvasás jel
 - *FSL_S_Exists*: Érvényes adat van a FIFO-ban (a FIFO nem üres)

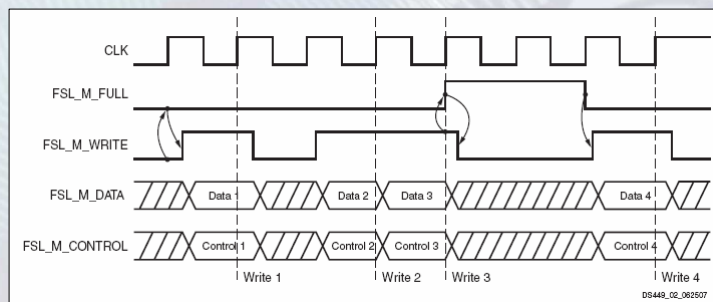
BME-MIT

FPGA labor

A MicroBlaze processzor (FSL)

FSL írási művelet:

- Ha az *FSL_M_WRITE* aktív, akkor a *CLK* felfutó élére az *FSL_M_DATA* és az *FSL_M_CONTROL* beíródik a FIFO-ba
- Ha az *FSL_M_FULL* aktív (FIFO tele jelzés), akkor nem szabad írni a FIFO-ba



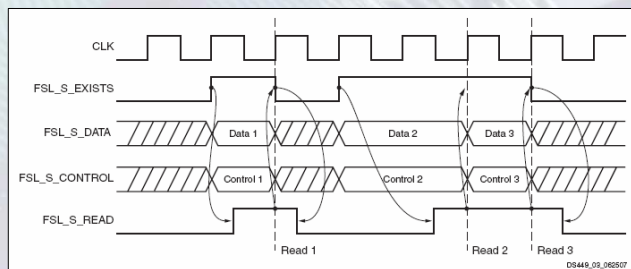
BME-MIT

FPGA labor

A MicroBlaze processzor (FSL)

FSL olvasási művelet:

- Ha az *FSL_S_EXISTS* aktív, akkor érvényes adat van az *FSL_S_DATA* és az *FSL_S_CONTROL* vonalakon
- Ha az *FSL_S_READ* aktív, akkor a *CLK* felfutó élére a FIFO kiadja a következő érvényes adatot
- Ha a FIFO kiürült, akkor *FSL_S_EXISTS* inaktívává válik
- Ha az *FSL_S_EXISTS* inaktív, akkor nem szabad olvasni a FIFO-ból

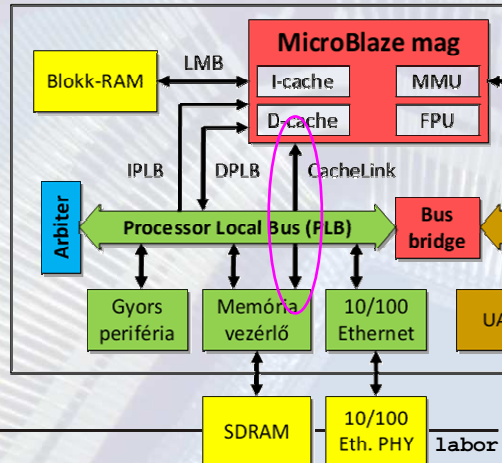


BME-MIT

FPGA labor

Xilinx Cache Links (XCL)

- Tulajdonképpen FSL busz
- Dedikált kapcsolat a processzor és a memóriavezérlő között
- Az XCL interfész csak akkor elérhető, ha a Cache engedélyezett
- 4 vagy 8 szavas gyors átvitel



BME-MIT

PLB

Processor Local Bus

BME-MIT

FPGA labor

A MicroBlaze processzor (PLB)

Processor Local Bus (PLB):

- Nagysebességű kapcsolatot biztosít a master és a slave eszközök között
- Teljesen szinkron működés, egyetlen órajel
- Centralizált busz hozzáférés vezérlés: PLB arbiter
- 32 bites, 64 bites vagy 128 bites adatbusz
- Nagyteljesítményű, kis késleltetésű, rugalmas adatátvitel
 - Szétválasztott címbusz, írási és olvasási adatbusz megosztott adatátviteli ciklus képességgel
 - Konkurens írási és olvasási ciklusok, max. 2 átvitel/órajel
 - Cím pipeline a késleltetés csökkentése érdekében
 - Arbitráció végrehajtása az aktuális adatátvitel alatt

A MicroBlaze processzor (PLB)

Processor Local Bus (PLB):

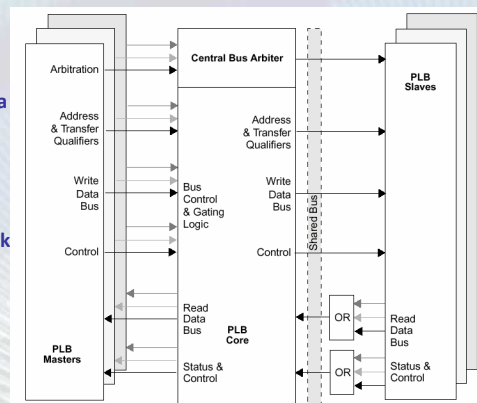
- Legfeljebb 16 master egység támogatott
- Legfeljebb 8 slave egység támogatott
- Xilinx implementáció:
 - Az eredeti PLB egyszerűsített változata
 - Nem támogat minden adatátviteli módot
- Xilinx IP Interface (IPIF) modul
 - Kétirányú interfész a PLB busz és a saját IP között
 - Egyszerűsített interfészt biztosít a saját IP felé

A MicroBlaze processzor (PLB)

- Nagy sávszélességű kapcsoló infrastruktúra a mester szolga eszközök között
- Teljesen órajel szinkron egyetlen órajellel
- Centralizált busz hozzáférés kiosztás — PLB arbiter
- 128/64/32 bites adatbusz
- Döntően a nagyteljesítményű, kis késleltetésű, rugalmas megoldásokat támogatja:
 - Szétválasztott cím és olvasási ill. írási adatbusz megosztott átviteli ciklus képességgel
 - Konkurens olvasás és írás ciklusok, két átvitel per órajel maximális busz kihasználtsággal
 - Cím futószalag használat, ami csökkenti egyes buszátvitelek késleltetésének hatását, pl. új írási ciklus végrehajtásával az aktuális írást átfedően, vagy akár három új olvasási kérés végrehajtásával az aktuális olvasást átfedően.
 - Busz kérés-engedélyezés protokoll végrehajtása az aktuális átvitel ideje alatt

A MicroBlaze processzor (PLB)

- 1-től 16 db PLB mester, melyek minden jele csatlakozik a PLB arbiter-hez
- A PLB arbiter kapcsolja a mesterek jeleit a megosztott buszra, amihez az összes szolga csatlakozik
- Az 1-től n számú PLB szolga perifériák kimenetei OR logikai szerint kapcsolódnak a PLB arbiter megosztott olvasás irányú adatbuszára
- A PLB arbiter kezeli a buszhozzáférés kiosztást, az adattovábbítást és a vezérlőjeleket a mesterek és szolgák között



A MicroBlaze processzor (PLB)

- **PLB mester**
 - Buszvezérlés kiosztás támogatás 16 mester egységig
 - A PLB mesterek száma konfigurálható tervezési paraméter
 - PLB címbusz futószalagos használata
 - Arbitráció 3 busz órajel ütem alatt
 - 4 szintű dinamikus mester kérés prioritás rendszer
- **PLB szolga**
 - Támogatás 16 szolga egységig
 - A PLB szolgák száma konfigurálható tervezési paraméter
 - Nem kell külső OR kapu hálózat a szolgák adatbemenetén
- **PLB architektúra szabvány szerinti felépítés**

PLB - Prioritások kezelése

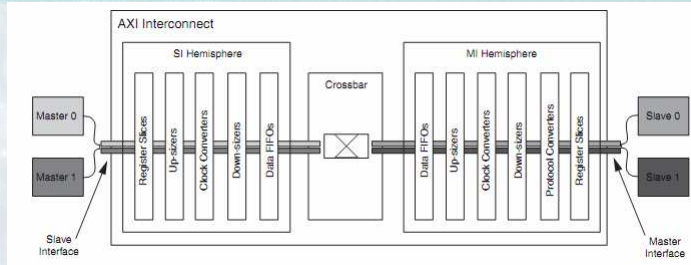
- **Az arbitrációs ciklus alatt a busz vezérlés eldöntő logika az M_priority[0:1] jelek állapota alapján meghatározza a jelenlegi busz prioritási szintjét (4 szint)**
- **A továbbiakban csak azokat az M_request[n] kéréseket vizsgálja, melyek kérés szintje nagyobb prioritású mint a jelenlegi mester szintje.**
- **A prioritási szinteket a rendszer felépítésekor adhatjuk meg.**
- **A prioritás a hardver rendszerleíró MHS fájlban módosítható**
 - `BUS_INTERFACE MPLB = instance_name POSITION = integer`
 - Az egész típusú POSITION paraméter egy pozitív szám, az 1 érték jelzi a legnagyobb prioritást

AXI

ARM AMBA AXI Protocol v2.0 Specification AXI4-Stream Protocol Specification

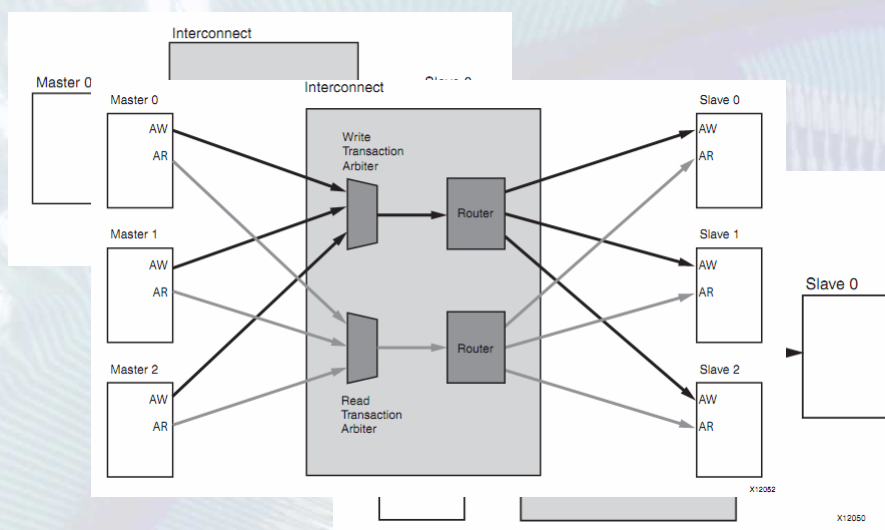
Interface	Features	Replaces
AXI4	<ul style="list-style-type: none">• Traditional memory mapped address/data interface.• Data burst support.	PLBv3.4/v4.6 OPB NPI XCL
AXI4-Lite	<ul style="list-style-type: none">• Traditional memory mapped address/data interface.• Single data cycle only.	PLBv4.6 (singles only) DCR DRP
AXI4-Stream	<ul style="list-style-type: none">• Data-only burst.	Local-Link DSP TRN (used in PCIe) FSL

Interconnect struktúra



- Pass Through
- Conversion Only
- N-to-1 Interconnect
- 1-to-N Interconnect
- N-to-M Interconnect

Interconnect architektúrák

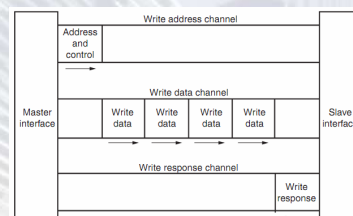
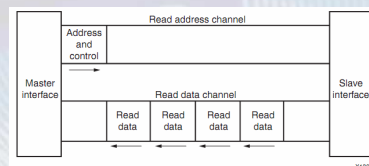


AXI Architektúra

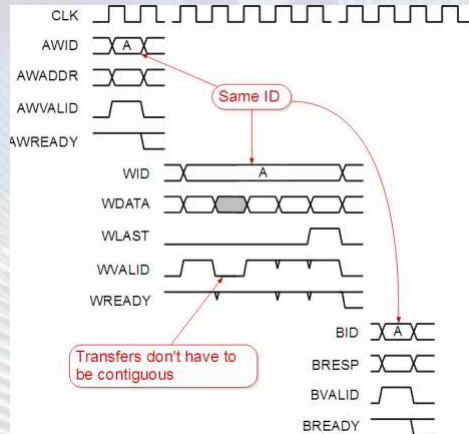
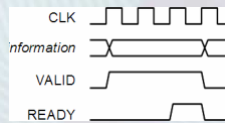
- **AXI 4**
 - Max 256 burst
- **AXI Lite**
 - Egyes átvitelek
- **AXI –Stream**
 - Burstös átvitel, címfázis nélküli (nem memóriába ágyazott)

AXI Csatornák

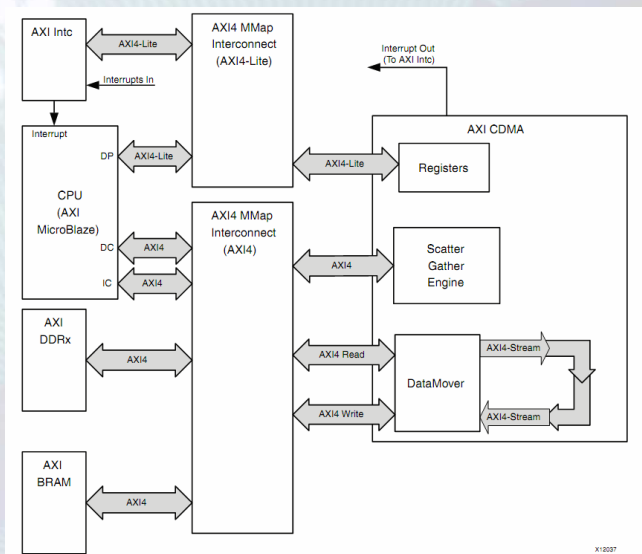
- **Read Address Channel**
- **Write Address Channel**
- **Read Data Channel**
- **Write Data Channel**
- **Write Response Channel**



Adatátvitel



Minta megvalósítás



Out of order execution

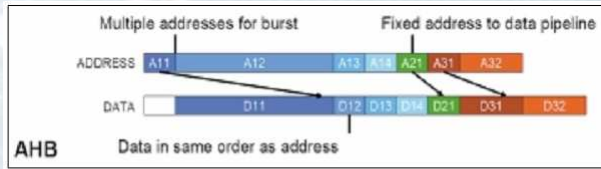


Figure 2: Cycles for the AMBA 2 AHB Protocol

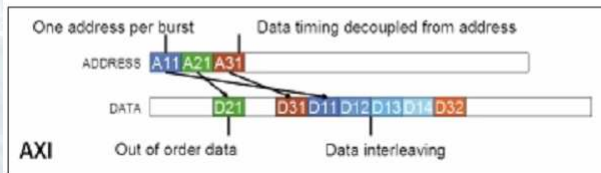


Figure 3: Cycles for the AMBA 3 AXI Protocol

Microblaze 1x1

